

6. Obvody pro přeměnu dat

Digitální a analogové zpracování signálů představuje dvě základní, ale zcela odlišné metody přístupu k informaci. V případě analogových signálů jsou tyto signály spojité v čase i v okamžité hodnotě, zatímco v případě digitálních signálů jsou tyto signály kvantovány v binárních bitech, to jest odpovídají buď „jedničce“ nebo „nule“. V přírodě se ovšem vyskytují pouze signály analogového charakteru / např. proud, napětí, tlak, vzdálenost, čas apod. /. Pro přenos signálů, jejich další zpracování a užití je výhodná jejich digitální forma. Jako rozhraní mezi těmito dvěma „světy“ slouží potom převodníky, které můžeme chápat i jako kódovací a dekodovací prostředky. Vstupem do převodníku D/A je digitální slovo s určeným počtem bitů a výstupem je napěťový signál odpovídající vstupnímu „slovu“. Obráceně v případě A/D převodníku je vstupem analogový signál a na výstupu dostáváme digitální slovo s příslušným počtem bitů.

Vlastnosti převodníků budou zřejmě závislé na teplotních poměrech v obvodu převodníku, protože se vlastnosti prvků mění s teplotou. To znamená, že tyto obvody jsou nejlépe řešitelné na principu monolitických integrovaných obvodů.

6.1 Digitálně - analogové převodníky

Principy obou typů převodníků se svojí podstatou liší, a proto je vhodné studovat je odděleně. Začneme nejprve s převodníky D/A / také DAC /, které jak již bylo řečeno můžeme chápat jako dekodovací obvody, které převádějí digitálně kódovaný signál na analogový výstupní proud nebo napětí. V tomto smyslu je můžeme chápat jako „rozhraní“ mezi světem digitálních signálů počítačů a spojitými průběhy analogového světa. Na Obr. 6.1-1 máme základní blokové zapojení D/A konvertoru :



Obr. 6.1-1

Výstupní signál A / napětí nebo proud / je vázán se vstupem vztahem $A = K \cdot V_{ref} \cdot D$, kde k je konstanta, V_{ref} je referenční napětí, D je digitální slovo s daným počtem bitů. D můžeme vyjádřit jako

$$D = \frac{b_1}{2^1} + \frac{b_2}{2^2} + \frac{b_3}{2^3} + \dots + \frac{b_N}{2^N} \quad (6.1.1)$$

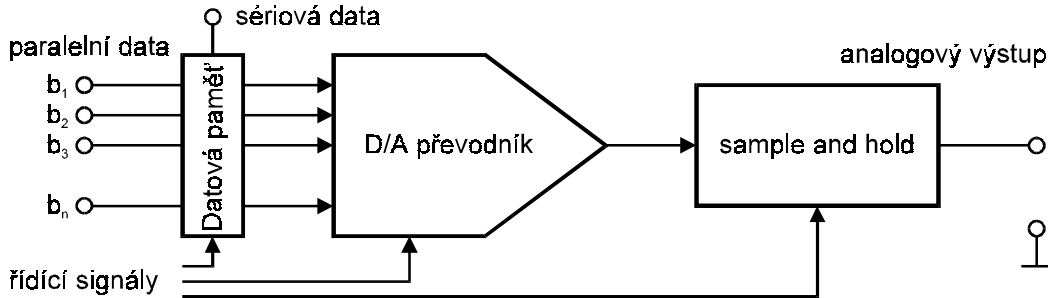
kde N je celkový počet bitů a b_1 až b_N jsou 0 nebo 1.

Potom tedy jako „přenosovou“ funkci N - bitového D/A převodníku můžeme brát vztah

$$A = k \cdot V_{ref} (b_1 \cdot 2^{-1} + b_2 \cdot 2^{-2} + \dots + b_N \cdot 2^{-N}) \quad (6.1.2)$$

Ve většině praktických případů, zejména v případech přímého převodu z mikroprocesoru je nutné základní systém doplnit dalšími podpůrnými obvody jako jsou datové obvody

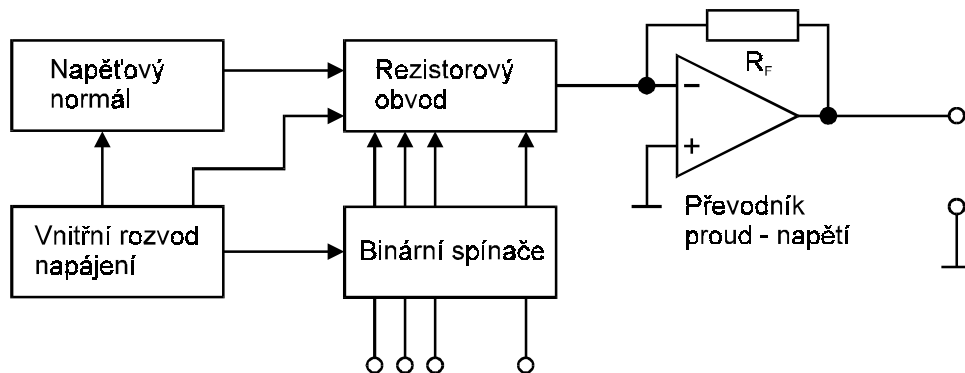
/ uchovávací informaci / a výstupní obvod „sample and hold“, který podrží informaci na výstupu až do dalšího převodu. Úkolem vstupních datových obvodů je zachovat informaci a uchránit ji po dobu než proběhne konverze. A podobně výstupní obvod udržuje výstup na konstantní úrovni, odpovídající předchozímu konverznímu kroku do doby než nová digitální data jsou zaznamenána ve vstupní paměti pro další konverzi. Proto D/A konvertor bude vypadat asi podle Obr. 6.1-2 .



Obr. 6.1-2

Blok označený jako D/A konvertor je naznačen na Obr. 6.1-3 . Sestává se z referenčního zdroje napětí, který dává V_{ref} , soustavy binárních spínačů, jejichž stav je dán bitovými koeficienty (b_1, b_2, \dots, b_N) , rezistivního obvodu, který dává váhu příslušným bitům a výstupní obvod, který sčítá příspěvky jednotlivých bitů a mění tuto informaci na výstupní proud nebo napětí.

V některých případech je výstupní veličinou proud a sčítací zesilovač je připojen externě.



Obr. 6.1-3

Napěťový normál může být součástí integrovaného obvodu nebo může být externí. Z výrazu (6.1.2) je vidět, že analogový výstup je součinem referenčního napětí a digitálního slova. Proto analogový výstup může být ovlivňován změnami hodnot V_{ref} . D/A převodník, který má tuto vlastnost nebo je určen pro práci s proměnným V_{ref} , nazýváme násobícím D/A převodníkem. Běžně všechny převodníky, které pracují s externí referencí, náleží k tomuto typu.

Pokud uvažujeme napěťový výstup, bude přenosová funkce N - bitového A/D převodníku dána vztahem

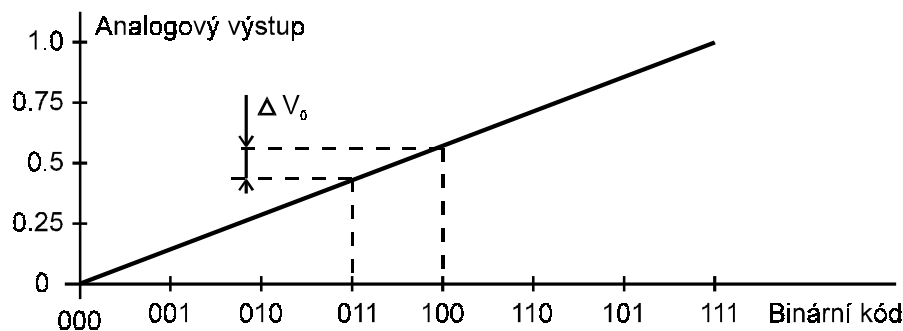
$$V_O = V_{FS} (b_1 \cdot 2^{-1} + b_2 \cdot 2^{-2} + \dots + b_N \cdot 2^{-N}) \quad (6.1.3)$$

kde V_{FS} je rozsah napětí na výstupu / je rovno $k \cdot V_{ref}$ /. V závislosti na vstupní binární informaci výstup nabývá 2^N diskretních napěťových úrovní mezi nulou a maximální hodnotou

$$V_{O\max} = V_{FS} \frac{2^N - 1}{2^N} \quad (6.1.4)$$

s nejmenší možnou změnou o ΔV_O , kde $\Delta V_O = \frac{V_{FS}}{2^N}$ (6.1.5)

Uvažujme pro jednoduchost přenosovou charakteristiku 3 - bitového převodníku v závislosti na vstupním binárním kódu. Bude-li $V_{FS} = 1,0$ bude $\Delta V_O = 1/8$ a $V_{O\max} = 7/8$. Tato přenosová charakteristika je nakreslena na Obr. 6.1-4.



Obr. 6.1-4

V rovnici (6.1.3) b_N nazýváme nejnižším / LSB - least significant bit / a b_1 nejvyšším bitem / MSB - most significant bit /.

Principů D/A konverze byla vyvinuta velká řada, avšak základní principy vhodné pro monolitickou technologii jsou tři : a/ proudový princip, b/ napěťový princip a c/ nábojový princip. První z těchto principů je zvláště vhodný pro bipolární technologii, zbývající spíše odpovídají technologii MOS.

6.1.1 Proudový princip

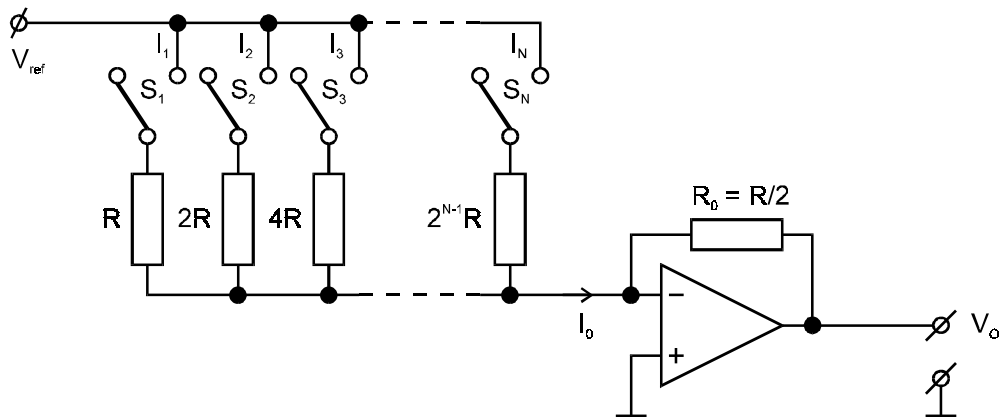
V tomto případě se dosahuje konverze pomocí řady binárně vážených proudů generovaných uvnitř obvodu, a tyto jsou nakonec sečteny, abychom obdrželi analogový výstup.

Obr. 6.1-5 ukazuje základní princip generace a sčítání binárně vážených proudů I_1, I_2, \dots, I_N . Proudů jsou generovány binárně váženým rezistivním obvodem připojeným k referenčnímu zdroji V_{ref} . Stav spínačů S_1, S_2, \dots, S_N simuluje hodnoty binárních koeficientů b_1, b_2, \dots, b_N v rovnici (6.1.3). Tyto koeficienty jsou buď 0 nebo 1 podle toho, jsou-li spínače v poloze 1 nebo 2. Výstupní proud I_O je potom sčítán na invertujícím vstupu operačního zesilovače. Výsledkem je tedy na základě našich předchozích znalostí výstupní napětí

$$V_O = -I_O R_O = -V_{ref} (b_1 \cdot 2^{-1} + b_2 \cdot 2^{-2} + \dots + b_N \cdot 2^{-N}) \quad (6.1.6)$$

kde zpětnovazební rezistor R_O , který určuje měřítko, je vybrán $R/2$.

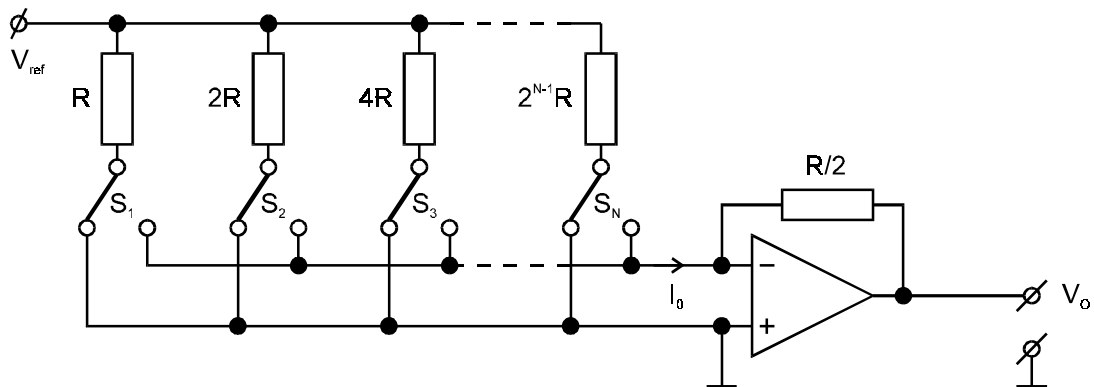
a/ napětové spínání



Obr. 6.1-5

Nejvyšší bit dává na výstupu $V_O = -V_{ref}$.

b/ proudové spínání



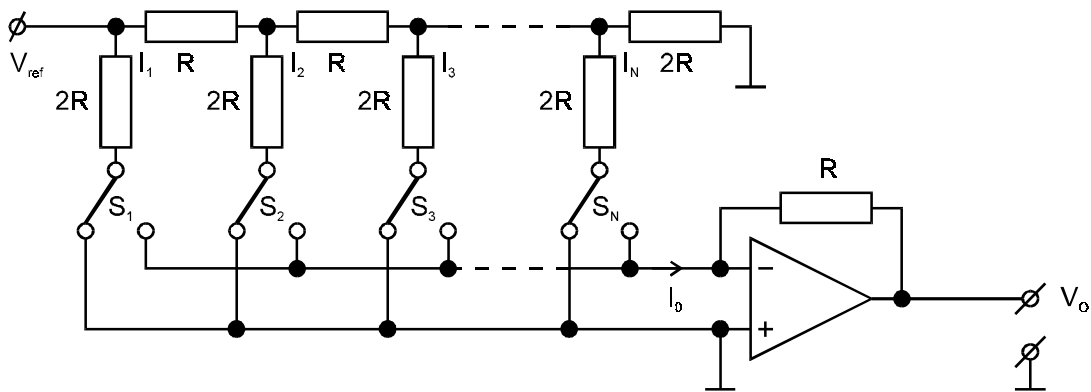
Obr. 6.1-6

Proudy tekoucí váhovými rezistory se v Obr. 6.1-5 mění mezi nulovou a plnou hodnotou a v Obr. 6.1-6 se nemění / tečou buď do země nebo do výstupu /.

Kdybychom provedli podrobnější analýzu s uvažováním parazitních kapacit, dospěli bychom k závěru, že z hlediska přechodových jevů a rychlosti jejich ustálení je lepší obvod podle Obr. 6.1-6, čili tzv. proudové spínání. Ve schématu D/A konvertoru podle Obr. 6.1-6 je proudový výstup závislý na koeficientech váhových odporů dosažen užitím nezávislých rezistorů s odpory R , $2R$, $4R$, $8R$, Jestliže budeme zvětšovat počet bitů, bude se rapidně zvětšovat poměr příslušných rezistorů, protože platí

$$\frac{R_{MSB}}{R_{LSB}} = \frac{1}{2^{N-1}} \quad (6.1.7)$$

kde R_{MSB} značí rezistor pro nejvyšší bit a R_{LSB} značí rezistor pro nejnižší bit. Např. pro rozlišení 8 bitů / tj. na 256 dílků / platí na základě rovnice (6.1.7), že bychom museli realizovat monolitickou technologií hodnoty R až $128R$, což je do značné míry obtížné. Jako řešení se jeví uspořádání, které vylučuje široký rozsah rezistorů - tzv. $R-2R$ obvod.



Obr. 6.1-7

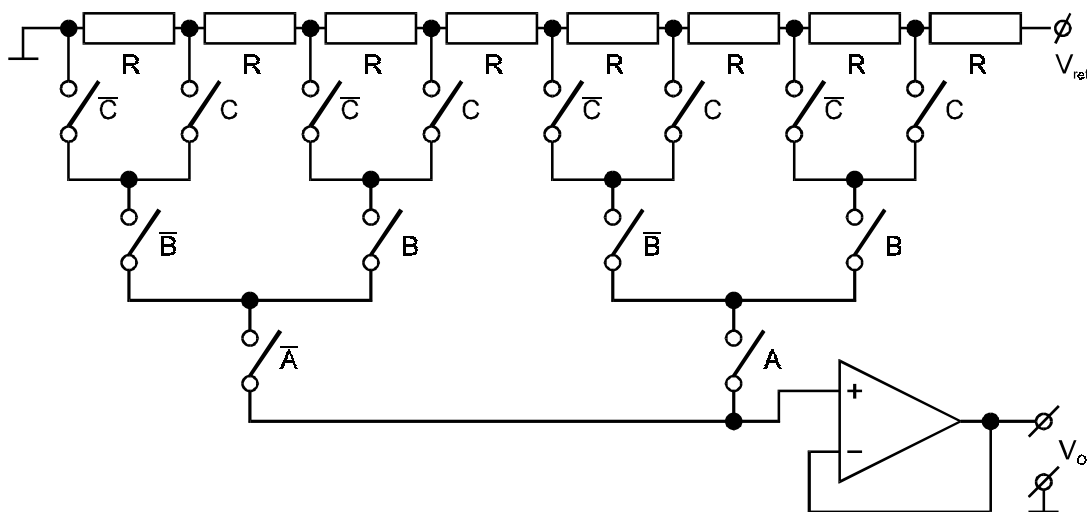
V tomto případě se binárního dělení dosahuje rozdělováním proudu mezi paralelní / $2R$ / a sériové / R / větve, a proto platí

$$I_1 = 2I_2 = 4I_3 = \dots = 2^{N-1} I_N \quad (6.1.8)$$

Rezistory však mají pouze hodnoty R a $2R$ / i když je jich dvojnásobný počet než v případech dříve uvedených /. Již dříve jsme poznali, že poměr rezistorů / jejich hodnot / určuje geometrie, a proto má tento princip přednost v případech vyšších rozlišení. Původní princip s váhovými rezistory však nachází uplatnění v rychlých převodnicích s malým počtem bitů / můžeme je ovšem řadit kaskádně pro dosažení vyššího rozlišení /.

6.1.2 Napěťový princip

Princip tohoto způsobu převodu D/A nejlépe vysvitne z obrázku :

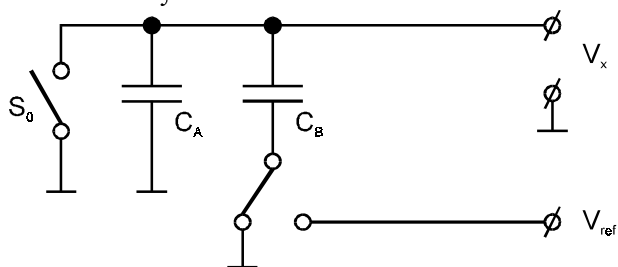


Obr. 6.1-8

Obvod nakreslený na Obr. 6.1-8 je tříbitový D/A konvertor. Nutnou podmínkou pro převod je to, že vstupní proud sledovače musí být zanedbatelný proti proudu tekoucímu rezistorovým děličem. Analogové spínače A , B , C jsou řízeny vstupním logickým slovem čili bity b_1 , b_2 , b_3 a spínače \bar{A} , \bar{B} , \bar{C} jsou řízeny inverzí bitových hodnot b_1 , b_2 , b_3 . Je-li např. vstupní kód 1 0 0, budou sepnuty spínače A , \bar{B} , \bar{C} a na výstupu dostaneme úroveň $V_{ref}/2$. Nevýhodou tohoto principu je značný počet prvků zejména při větších rozlišeních. Pro konverzi N bitů je nutné 2^N rezistorů a 2^{N+1} analogových spínačů a $2N$ logických spojovacích vedení.

6.1.3 Nábojový princip D/A konvertorů

D/A konvertor na nábojovém principu vytváří analogovou úroveň pomocí náboje předávaného sítí kapacitorů. Princip si můžeme vysvětlit na Obr. 6.1-9 .

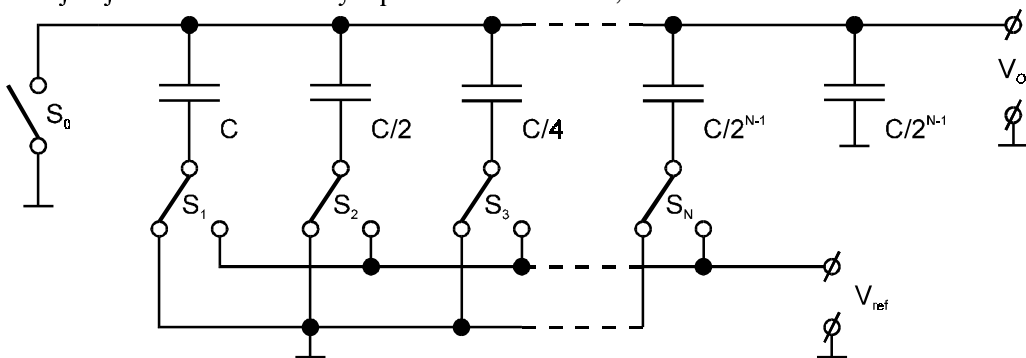


Obr. 6.1-9

C_A je připojen na zem a C_B budeme periodicky přepínat mezi zemí a interním referenčním napětím V_{REF} . Budou-li oba spínače na zemi, budou oba kapacitory vybity /tzv. nulovací fáze/ a na V_X bude nulové napětí. Bude-li S_0 rozeznut a S_1 připojen na V_{REF} , bude

$$V_X = V_{REF} \frac{C_B}{C_A + C_B} \quad (6.1.9)$$

Toto je tzv. vzorkovací fáze. Uspořádáme-li tedy kapacitory a jejich velikosti budou binárně váženy / stejně jako dříve rezistory / podle Obr. 6.1-10 , dostaneme



Obr. 6.1-10

Zde opět v nulovací fázi budou všechny spínače připojeny na zem, zatímco ve vzorkovací fázi bude S_0 rozeznut a S_1 až S_N budou řízeny binárními bity N - bitového vstupního digitálního signálu tak, že pro logickou nulu zůstane příslušný spínač na zemi, zatímco pro logickou jedničku bude připojen na U_{REF} . Na základě rovnice (6.1.9) bude platit

$$V_O = V_{REF} \frac{C_{eq}}{C_{celk}} \quad (6.1.10)$$

kde C_{eq} je součet hodnot kapacitorů připojených k V_X a C_{CELK} je kapacita všech kapacitorů v síti. C_{eq} je určena příslušnými bity, to jest hodnotami b_1, b_2, \dots, b_N , a proto

$$C_{eq} = b_1 C + \frac{b_2 C}{2} + \frac{b_3 C}{2^2} + \dots + \frac{b_N C}{2^{N-1}} \quad (6.1.11)$$

kde C je hodnota největšího kapacitoru v síti / odpovídá nejvyššímu bitu - MSB /. Celková kapacita bude

$$C_{celk} = C + \frac{C}{2} + \frac{C}{2^2} + \frac{C}{2^3} + \dots + \frac{C}{2^{N-1}} \quad (6.1.12)$$

a přidáme-li ještě do sítě jeden kapacitor s kapacitou odpovídající nejnižšímu bitu / jak je též na Obr. 6.1-10 uvedeno /, dostaneme

$$C_{celk} = C + \frac{C}{2} + \frac{C}{2^2} + \frac{C}{2^3} + \dots + \frac{C}{2^{N-1}} + \frac{C}{2^{N-1}} = 2C \quad (6.1.13)$$

Potom bude

$$V_O = V_{REF} \frac{b_1 C + \frac{b_2 C}{2} + \frac{b_3 C}{2^2} + \dots + \frac{b_N C}{2^{N-1}}}{2C}$$

a tedy

$$V_O = V_{REF} (b_1 \cdot 2^{-1} + b_2 \cdot 2^{-2} + \dots + b_N \cdot 2^{-N}) \quad (6.1.14)$$

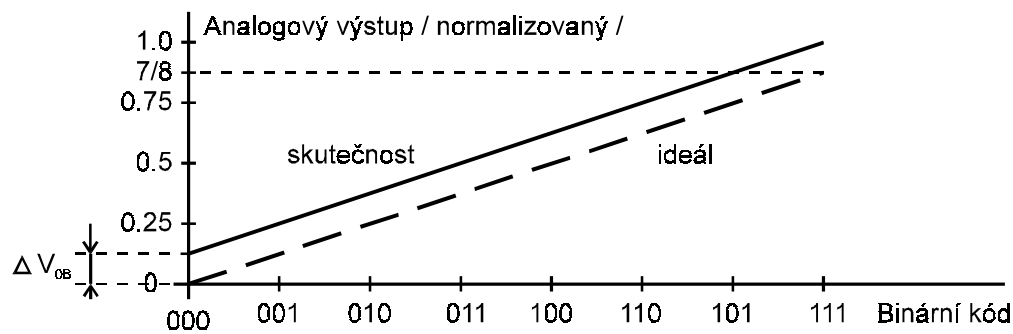
což je v souladu s dřívějšími závěry pro převodníky s odporovými sítěmi. Je zřejmé, že tento typ převodníku by měl být ideálně vhodný pro CMOS obvody / téměř ideální spínače, obvody s vysokou impedancí, jedna strana kapacitorů se spíná mezi zemí a nízkoimpedančním referenčním zdrojem - parazitní kapacity jsou připojeny k výstupu, kapacitory v integrované verzi můžeme vyrábět s velmi přesnými poměrnými hodnotami atd. /. Avšak poměr kapacit pro MSB a LSB je

$$\frac{C_{MSB}}{C_{LSB}} = 2^{N-1} \quad (6.1.15)$$

Pro osmibitový převodník je tento poměr 128 a uvážíme-li, že nejmenší praktická hodnota bude kolem 1 pF, bude největší kapacitor mít hodnotu 128 pF. Těžko proto můžeme realizovat tento typ převodníku pro větší rozlišení.

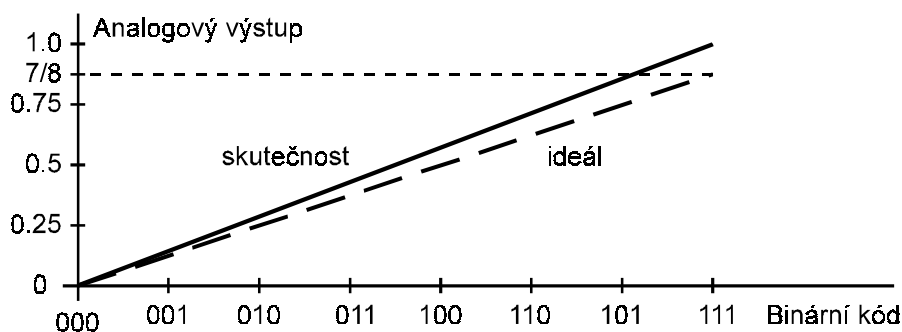
Existují ještě i jiné principy D/A převodníků, ale výše uvedené mají dominantní postavení. Rozlišení D/A převodníku je dáno nejmenší realizovatelnou změnou výstupu odpovídající změně digitálního vstupního kódu. Na druhé straně rozlišení udává počet možných diskretních úrovní, které může mít výstup. Pro rozlišení N bitů výstup převodníku musí být schopen produkovat 2^N diskretních úrovní. Na příklad D/A převodník, který má $V_{FS} = 5V$ a rozlišení 12 bitů, musí být schopen rozlišit jednu z 2^{12} úrovní, což v absolutní hodnotě činí 1.221 mV při změně LSB o jedničku.

Ideální D/A převodník by měl mít charakteristiku podle Obr. 6.1-4 . Charakteristiky reálných převodníků se však od této liší, tzn. že se vyskytují různé typy chyb. Ofsetovou chybu máme pro třibitový převodník uvedenou na Obr. 6.1-11 .



Obr. 6.1-11

Chyba rozsahu se projevuje na analogovém výstupu v důsledku nepřesného nastavení zesílení výstupního operačního zesilovače nebo chyby referenčního napětí - viz Obr. 6.1-12 .

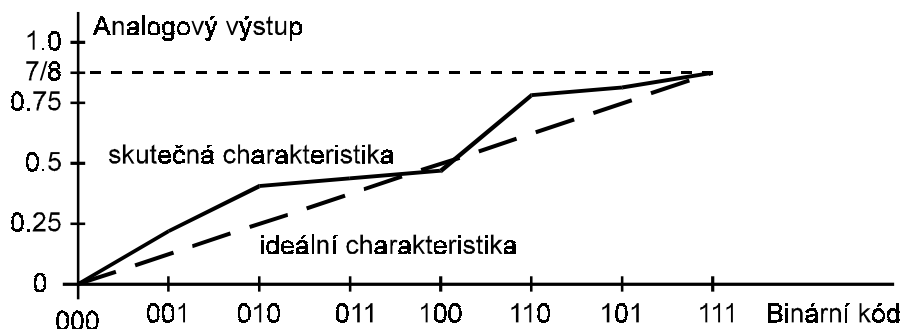


Obr. 6.1-12

Jak ofsetovou chybu tak i chybu rozsahu je však možné minimalizovat nastavením poměrů a trimováním.

Důležitým parametrem D/A převodníku je linearita a odchyly od ní. Běžně rozeznáváme dva typy odchylek a tedy dvě hodnoty nelinearity.

Integrální nelinearita je měřítkem odchyly převodní charakteristiky D/A převodníku od ideální charakteristiky - přímkové. Normálně se bere jako největší odchyly od přímky procházející počátkem a bodem udávajícím maximální výstupní hodnotu. Vyjadřuje se v procentech V_{FS} - viz Obr. 6.1-13 .

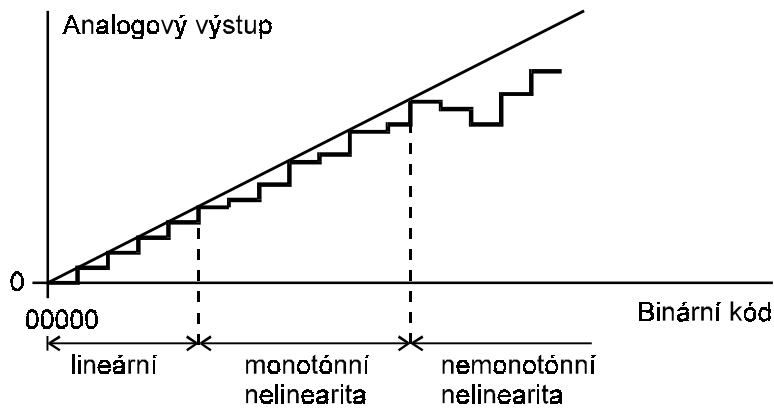


Obr. 6.1-13

Diferenciální nelinearita je měřítkem nesterajnosti jednotlivých úrovní mezi sousedními převody. Ideálně by se úrovně měly lišit o jeden LSB. Diferenciální nelinearita udává odchyly od této ideální hodnoty vyjádřenou v dílech LSB. Je-li diferenciální nelinearita \pm LSB/2, potom minimální a maximální sousední úroveň bude 0.5 LSB a 1.5 LSB.

Na rozdíl od chyb ofsetu a měřítka nelineární chyby závisí na vstupním digitálním kódu a nelze je eliminovat. Jedinou cestou je zvyšování přesnosti poměrů odporové nebo kapacitní sítě u výrobce.

S otázkou diferenciální nelinearity souvisí otázka monotónnosti D/A konvertoru. D/A převodník bude monotónní, bude-li pro postupně se zvyšující hodnotu digitálního kódu analogový výstup rovněž zvyšovat hodnotu. Převodník bude nemonotónní, jestli v některém bodě analogový výstup poklesne pro zvyšující se hodnotu vstupního kódu. Je to výsledek nadměrné velikosti diferenciální nelinearity. Monotónní bude převodník za předpokladu, že chyba způsobená diferenciální nelinearitou je menší než \pm 1 LSB / z tohoto hlediska tedy MDAC 08XX z bývalé produkce Tesla je právě na hranici $DNL < \pm$ 1 LSB /. Obr. 6.1-14 ukazuje různé typy nelinearity.



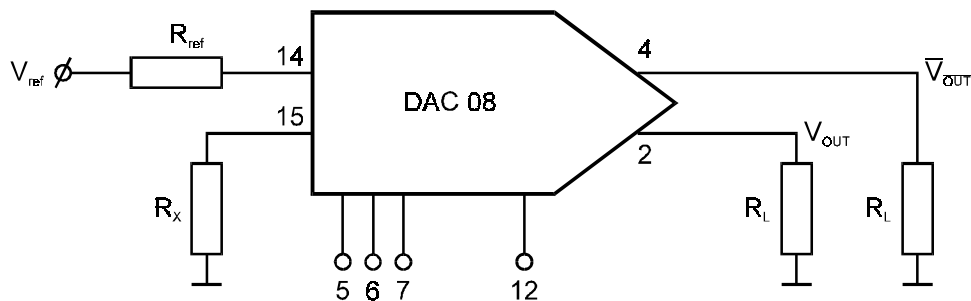
Obr. 6.1-14

Jako dobu ustálení označujeme dobu potřebnou k tomu, aby se výstupní veličina ustálila s chybou menší než 0.5 LSB. V této době většinou není zahrnuta doba ustálení převodníku proud - napětí / operační zesilovač /.

Typické hodnoty pro převodník DAC 08 fy Precision Monolithics Inc. - což je osmibitový převodník násobícího typu s následujícími vlastnostmi :

Rozlišení : 8 bitů , diferenciální nelinearita : ± 0.5 LSB , integrální nelinearita : $\pm 0.1\%$, doba ustálení 135 ns , rozsah výstupního proudu : 2 mA , nominální napájecí napětí : ± 15 V , výkonová ztráta 174 mW , užitá technologie : bipolární s difundovaným R , rozměr čipu : 1.6 mm² , pouzdro DIP 16 .

Základní zapojení DAC 08 je na Obr. 6.1-15 .



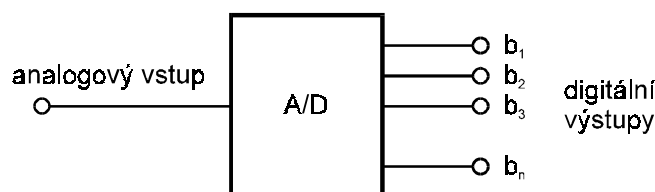
Obr. 6.1-15

Výstupní napětí se mění od nuly k V s maximálním rozsahem

$$V_{FS} = -I_{FS} \cdot R_L = -V_{REF} \frac{R_L}{R_{REF}}$$

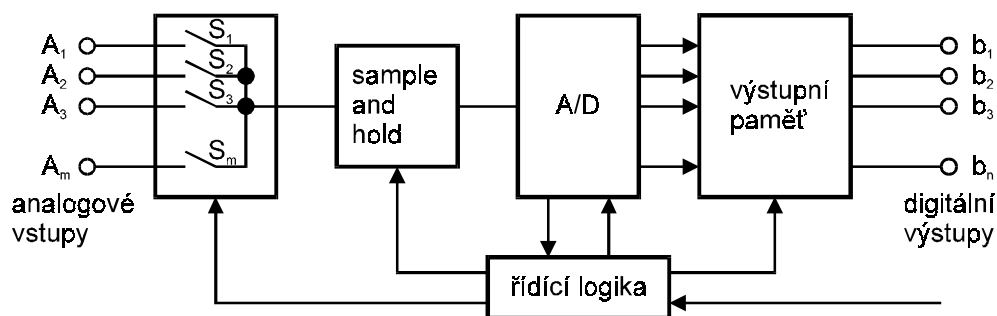
6.2 Analogově digitální převodníky / A/D ; ADC /

A/D převodníky převádějí analogové veličiny na digitální informaci. Základní zapojení takového převodníku tedy bude podle Obr. 6.2-1 .



Obr. 6.2-1

Velmi častým úkolem je snímání několika analogových veličin a převod na digitální informaci má být předán dalšímu zařízení např. počítači. Potom zařízení může vypadat takto - Obr. 6.2-2

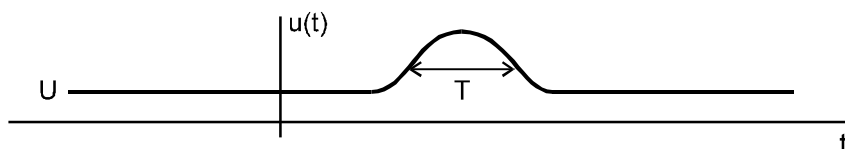


Obr. 6.2-2

Pomocí analogového multiplexeru řídící logika vybírá příslušný vstup. Ve vybraném okamžiku řídící logika za pomoci obvodu „sample and hold“ provede vzorkování a podrží úroveň vzorku do doby než bude proveden převod na digitální informaci, což udělá A/D konvertor. Výstupní paměť tuto informaci podrží do doby než bude přijata následujícím zařízením.

Jsou dva parametry těchto převodníků, které působí proti sobě; těmito parametry jsou přesnost a stabilita proti rychlosti převodu. Bude záležet na účelu jakému zařízení slouží a co chceme zjišťovat, a stále musíme mít na paměti, že za přesnost budeme platit zvýšením doby nutné pro provedení konverze.

Mějme např. nějaký analogový elektrický průběh napětí podle Obr. 6.2-3 .



Obr. 6.2-3

Na Obr. 6.2-3 máme nějakou stejnosměrnou / prakticky neproměnnou / úroveň, která se však po celou dobu srovnatelnou s T změní. Teď záleží na tom, co chci nebo mohu určit. Naznačená změna může být v čase $T < 1$ ms a může to být parazitní signál, který nás vůbec nezajímá. Pak mohu hodnotu U určit s velkou přesností, protože převodu mohu věnovat dostatek času. Jiná bude ale situace, kdy naznačená změna je výsledkem nějakého procesu, který sledujeme, a proto je tato změna pro mě podstatná. Tady už tolik času mít nebudeme a budeme se tudíž muset spokojit i s nižším rozlišením a přesností, abychom stihli průběh sledovat a přenést na digitální informaci, kterou pak nějak zpracujeme.

Bylo vymyšleno hodně principů pro řešení převodů A/D, ale prakticky všechny můžeme zařadit do některé z těchto kategorií:

- 1/ Integrovní A/D převodníky, které pracují tak, že nabíjejí a vybíjejí integrační kapacitu během převodu a tento čas převádějí na digitální informaci.
- 2/ Sledovací převodníky užívají binární čítač a D/A konvertor ve zpětné vazbě
- 3/ Aproximační převodníky vytvářejí digitální výstupní informaci na základě úspěšnosti nebo neúspěšnosti postupových kroků
- 4/ Paralelní převodníky, které provádějí převod v jediném kroku

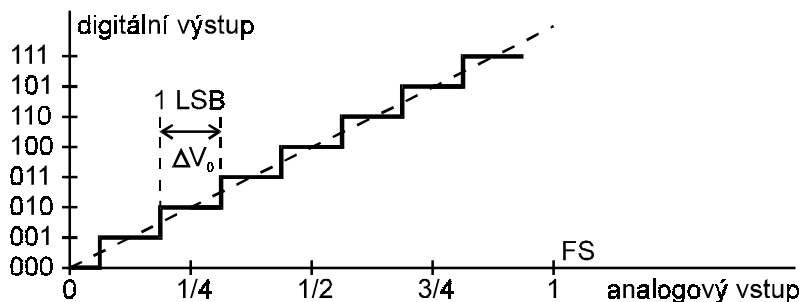
Již z pouhého tohoto řazení je vidět, že začínáme s převodníky, které mohou dosahovat vysokých přesností, ale jsou pomalé a postupně tato přesnost se snižuje za cenu nárůstu rychlosti.

Obecně nějaké analogové napětí V_A je při A/D převodu aproximováno binární částí rozsahu výstupního napětí V_{FS} . Bude-li převod prováděn na N bitů, můžeme napsat

$$D = \frac{V_A}{V_{FS}} = \frac{b_1}{2^1} + \frac{b_2}{2^2} + \frac{b_3}{2^3} + \dots + \frac{b_N}{2^N} \quad (6.2.1)$$

kde b_1, b_2, \dots, b_N jsou binární koeficienty / buď 0 nebo 1 /.

Bitové koeficienty, které tvoří digitální data, můžeme dostávat na výstupu A/D převodníku buď současně / máme N paralelních výstupů / nebo postupně - sériově na jednom výstupu, při čemž koeficient b_1 odpovídající MSB vystupuje jako první. Obr. 6.2-4 nám ukazuje ideální přenosovou charakteristiku A/D konvertoru / 3 - bitového /.

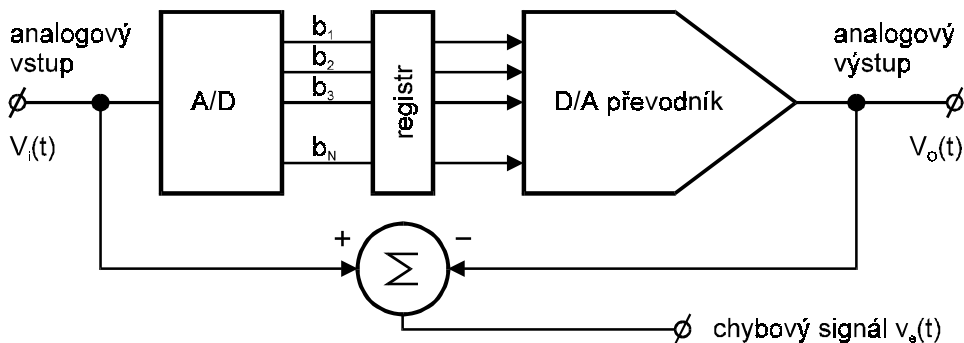


Obr. 6.2-4

Přenosová charakteristika je nespojitá a není zde jednoznačné přiřazení mezi analogovým vstupem a digitálním výstupem. Místo toho máme zde výstup „kvantován“. Výsledkem je, že výstupní kód odpovídá jistému, byť malému rozsahu ΔV_O z analogového vstupního napětí. Bude-li se analogový vstup měnit od nuly do celého rozsahu / FS /, bude N - bitový A/D konvertor mít 2^N výstupních stavů a 2^{N-1} přechodů mezi těmito stavy. Nejmenší kvantovací krok ΔV_O mezi dvěma diskrétními výstupními úrovněmi odpovídá poslednímu bitu čili 1 LSB.

$$\Delta V_O = 1LSB = \frac{V_{FS}}{2^N} \quad (6.2.2)$$

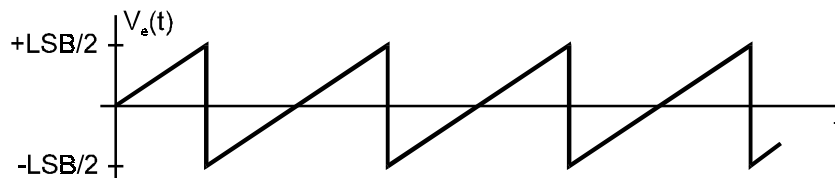
Analogicky jako tomu bylo u převodníků D/A přenosová funkce končí o 1 LSB dříve než dosáhneme plného napětí. Je to důsledkem toho, že analogová nula je jedním z 2^N stavů na výstupu a zbývá nám proto už jenom $2^N - 1$ stavů pro konverzi napětí větších než nula. Pro jednoduchost se však stejně udává celý rozsah V_{FS} s tím, že musíme mít na paměti, že je to vlastně o 1 LSB méně. Představme si nyní následující zapojení / Obr. 6.2-5 /.



Obr. 6.2-5



Jde nám nyní o toto : i když budeme považovat naše převodníky za ideální, tak už z principu bude vznikat jistá chyba v důsledku kvantování a jisté neurčitosti. Z ideální přenosové charakteristiky jsme viděli, že konvertor nerozliší rozdíl analogového vstupu menší než ΔV_O a chyba dosahuje $\pm \Delta V_O / 2$ dle (6.2.2) = $\pm 0.5 \text{ LSB}$. Tato chyba je zřejmě neodstranitelná a nazýváme ji kvantovací chybou nebo častěji kvantovacím šumem. Obr. 6.2-5 nám tedy ukazuje zapojení pro vysvětlení kvantovacího šumu - oba převodníky považujeme za ideální a oba jsou N - bitové. Neurčitost v konverzi A/D dává vznik chybovému signálu $V_e(t)$ jakožto rozdílu mezi skutečným a rekonstruovaným signálem. Jak je na Obr. 6.2-5 naznačeno - bude-li vstupním analogovým signálem ideální klínová funkce, bude výstupním signálem schodovitý průběh. Rozdílem bude pilovitý signál podle Obr. 6.2-6 .



Obr. 6.2-6

Střední hodnota tohoto signálu je samozřejmě nula, avšak střední kvadratická hodnota bude

$$V_{e(ef)} = \sqrt{\frac{1}{T} \int_0^T v_e^2(t) dt} = \sqrt{\frac{1}{\Delta V_O / 2} \int_0^{\Delta V_O / 2} t^2 dt} = \frac{\Delta V_O}{\sqrt{12}} = \frac{V_{FS}}{2^N \sqrt{12}} \quad (6.2.3)$$

Kvantovací šum je tedy úměrný ΔV_O , a proto bude klesat faktorem 2 pro zvětšení rozlišení o jeden bit.

Měřitkem poměru největšího a nejmenšího analogového signálu, který můžeme převodníkem zpracovat je jeho dynamický rozsah. Největší signál je zřejmě V_{FS} a nejmenší je roven LSB. Potom dynamický rozsah bude

$$DR = \frac{V_{FS}}{\Delta V_O} = 2^N \quad (6.2.4)$$

Běžně se tento údaj uvádí v decibelech. Např. 8 - bitový konvertor má DR přibližně 48 dB $dB = 20 \cdot \log 256 \cong 48$, 10 - bitový DR přibližně 60 dB. / Dynamický rozsah narůstá o 6 dB při zvětšení rozlišení o 1 bit $dB = 20 \cdot \log 2 \cong 6$. / Již jsme se zmínili o tom, že pro konverzi budeme potřebovat jistý čas. Tento čas je různý v závislosti na tom, jaký typ převodníku uijeme. V těch nejpomalejších systémech to může trvat i více než sekundu, zatímco rychlé systémy udělají konverzi za jednotky až zlomky mikrosekundy.

Budeme-li mít časově proměnný signál, tak se za dobu konverze vstupní analogový signál změní a nám půjde zřejmě o to, aby tato změna nebyla větší než 1 LSB. Dopředu ovšem nevíme nic o tom, jak budou signály vypadat, ale pro názor můžeme vzít nejjednodušší signál, který má tvar $V_A(t) = E_A \cdot \sin \omega t$ čili harmonický signál a hledejme jeho maximální derivaci.

$$\frac{dV_A}{dt} = E_A \omega \cdot \cos \omega t = 0 \Rightarrow \cos \omega t = 0 \quad \left. \frac{dV_A}{dt} \right|_{MAX} = E_A \omega = 2\pi \cdot f \cdot E_A$$

Potom tedy chyba způsobená konečnou dobou převodu T_X bude

$$\Delta V_X = 2\pi \cdot f \cdot E_A \cdot T_X \quad (6.2.5)$$

a nechceme-li, aby tato chyba byla větší než 1 LSB, pak nejhorší případ nastane pro harmonický signál, který zcela využije rozsah převodníku čili $2E_A = V_{FS}$. Potom / s užitím (6.2.2) /

$$T_X = \frac{\Delta V_X}{2\pi \cdot f \cdot E_A} = \frac{2\Delta V_X}{2\pi \cdot f \cdot L} = \frac{1}{2^N} \frac{1}{\pi \cdot f} \quad (6.2.6)$$

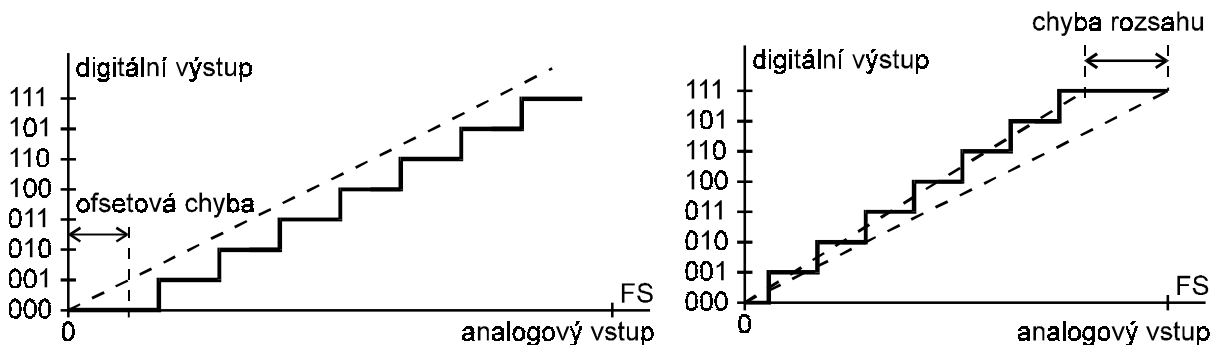
Představme si, že bychom chtěli takto digitalizovat harmonický průběh s frekvencí 1 kHz a máme A/D s rozlišením 10 bitů. Pak bychom potřebovali

$$T_X = \frac{1}{1024} \frac{1}{\pi \cdot 1 \cdot 10^3} \cong 310 \text{ ns}$$

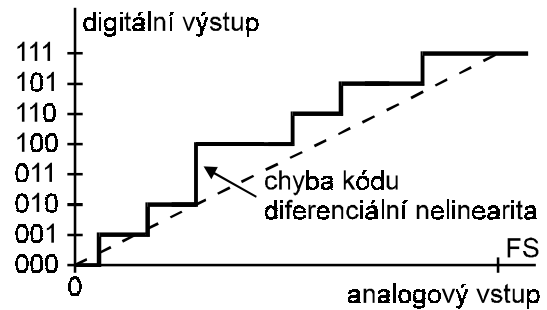
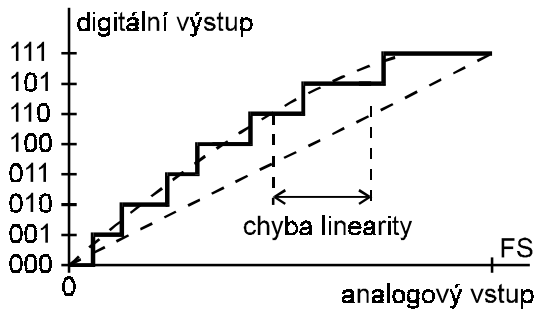
Přesto, že jsme uvažovali velice nízkou frekvenci, ukazuje se, že požadavky jsou extrémní a těžko splnitelné běžnými technologiemi. Z tohoto důvodu proto užíváme obvodů „sample and hold“ a vlastně to znamená, že namísto vzorkování 1. druhu užíváme vzorkování 2. druhu / viz kapitola o vzorkování a problematika diskretizace signálů /. Obvod „sample and hold“ provede vzorkování a pak „drží“ úroveň vzorku po dobu potřebnou k převodu.

Pokud budeme mít obecný signál s omezeným spektrem, budeme muset provést dvakrát více převodů za sekundu než je nejvyšší frekvence obsažená ve spektru $-f_C$. Bude-li náš signál tedy obsahovat frekvence od nuly do 1 kHz, musíme provést 2000 převodů za sekundu čili na každý převod máme 500 μ s, což je dostatečně dlouhá doba. Bude-li však $f_C = 20$ MHz, musíme vzorkovat 40 MHz a na převod budeme mít pouhých 250 ns a užít musíme paralelní převodník.

Sejně jako jsme definovali v případě D/A převodníku chyby / ofsetu, rozsahu, integrální a diferenciální nelinearity /, stejné chyby můžeme uvažovat i pro A/D převodníky. Opět první dvě chyby / ofsetu a měřítka / je možné minimalizovat nastavením, ale druhé dvě omezujeme pouze zlepšením technologických postupů při výrobě / Obr. 6.2-7 a Obr. 6.2-8 /.



Obr. 6.2-7



Obr. 6.2-8

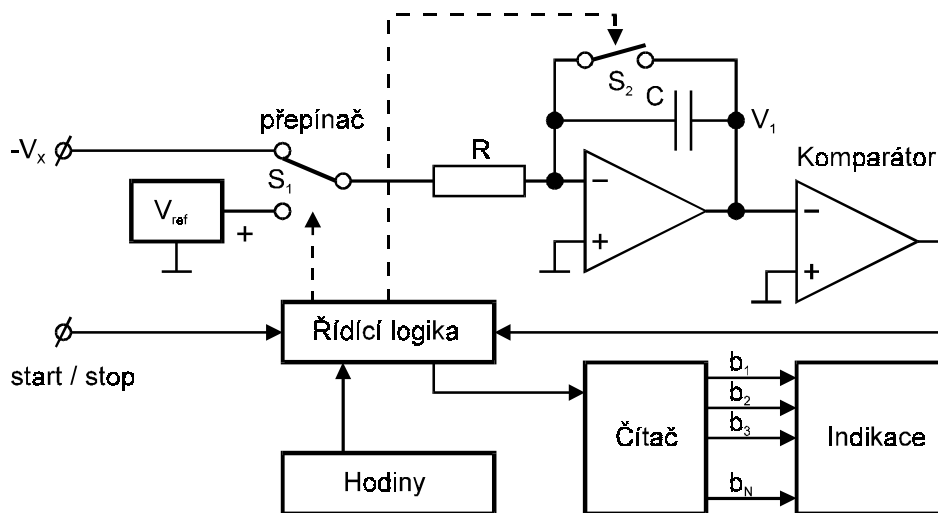
Na Obr. 6.2-8 chyba linearity se někdy nazývá integrální nelinearitou. / Jsou však i jiné definice této chyby ; různí výrobci užívají i různé definice. /

Diferenciální nelinearita je měřítkem nestejností šíře stupňů mezi dvěma sousedními přechody. V ideálním případě jsou tyto stupně rovny 1 LSB a diferenciální nelinearita udává odchylky od této hodnoty. Kdyby měl A/D konvertor diferenciální nelinearitu ± 0.5 LSB, byla by minimální a maximální šíře stupně rovna 0.5 LSB a 1.5 LSB. Pokud by však diferenciální nelinearita převýšila ± 1 LSB, potom by jeden nebo více kódů mohlo být přeskočeno - viz Obr. 6.2-8 . Diferenciální nelinearita je důležitým parametrem zejména u A/D aproximačních převodníků a převodníků sledovacího typu.

Na závěr si uveďme bloková schémata hlavních A/D převodníků, které jsme dříve přehledově uvedli.

6.2.1 Integrovní převodníky A/D

Převodník s dvojitou integrací je nejčastějším případem, se kterým se můžeme setkat v číslicových měřicích přístrojích. Blokově tento převodník vypadá takto / Obr. 6.2-9 /:



Obr. 6.2-9

Systém pracuje tak, že v době T_1 je připojeno V_x . Doba T_1 je konstantní a je dána časem než se zaplní čítač, čili načítá 2^N impulsů. Po skončení času T_1 je integrátor připojen k V_{ref} , který má obrácenou polaritu - nastává období poklesu a tato doba T_2 končí v okamžiku, kdy výstupní napětí integrátoru prochází nulou a kdy komparátor vyše impuls a ukončí tak převod. Doba T_2 je tedy měřítkem velikosti signálu V_x a měří se opět počtem impulsů, které načítal

čítač v této době. Na začátku konverze je spínač S_2 krátce sepnut a na výstupu integrátoru bude nulové napětí. Jakmile se S_2 otevře, napětí na výstupu integrátoru narůstá se strmostí

$$\left. \frac{dV_1}{dt} \right|_{\text{během } T_1} = \frac{V_X}{RC}$$

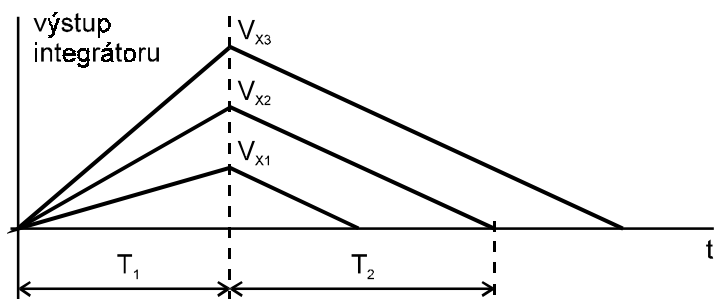
Po načítání 2^N impulsů se čítač vynuluje, spínač S_1 se přepne na V_{ref} a na výstupu integrátoru bude napětí klesat se strmostí

$$\left. \frac{dV_1}{dt} \right|_{\text{během } T_2} = -\frac{V_{REF}}{RC}$$

příčemž čítáme hodinové impulsy až do doby než na výstupu integrátoru bude nulové napětí. Počet těchto impulsů bude

$$M = \left| -V_X \right| \frac{2^N}{V_{REF}}$$

Obr. 6.2-10 ukazuje průběh na výstupu integrátoru pro různé případy V_X a je zřejmé, že doba trvání T_2 nebo počet načítaných impulsů jsou přímo závislé na velikosti vstupního napětí V_X . Výhody tohoto způsobu tkví v tom, že přesnost konverze nezávisí na součinu RC čili ani na stárnutí a změnách těchto prvků. Rovněž tak nezávisí na frekvenci hodin, pokud tato zůstává konstantní během integračního cyklu. To znamená, že se neprojeví dlouhodobé změny způsobené stárnutím a změnami teploty.

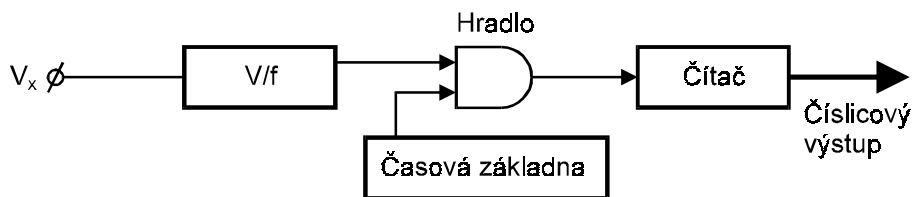


Obr. 6.2-10

Linearita tohoto převodníku je vynikající - je závislá pouze na kvalitě integrátoru. Diferenciální nelinearita je prakticky vyloučena a mohla by být způsobena pouze krátkodobým driftem hodinových impulsů. Existuje řada úprav a vylepšení této metody, ale tyto otázky jsou nad rámec našich přednášek.

6.2.2 A/D převodníky s mezipřevodem na kmitočet

Tento způsob máme znázorněn na Obr. 6.2-11 blokově :

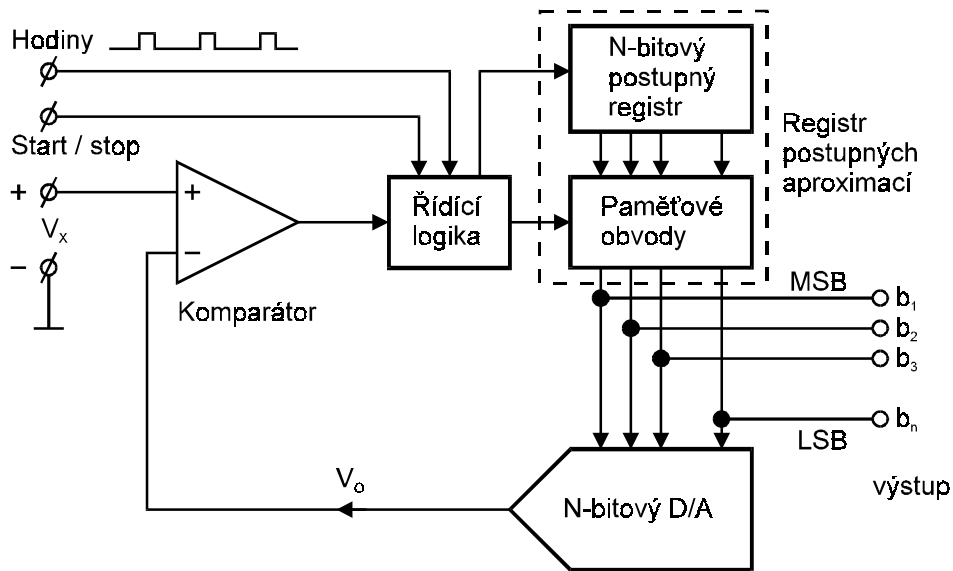


Obr. 6.2-11

Z obrázku je patrné, že nejprve je s použitím převodníku napětí / kmitočet vstupní napětí převedeno na odpovídající kmitočet a tento je potom po nastavenou dobu načítáván. Principů převodu napětí na kmitočet je více a nám opět nezbyvá než zájemce odkázat na literaturu. I v tomto případě však většinou užíváme integrátor jako podstatnou část převodníku, a proto i metodu V/f můžeme řadit k převodníkům integračního typu.

6.2.3 Aproximační převodníky

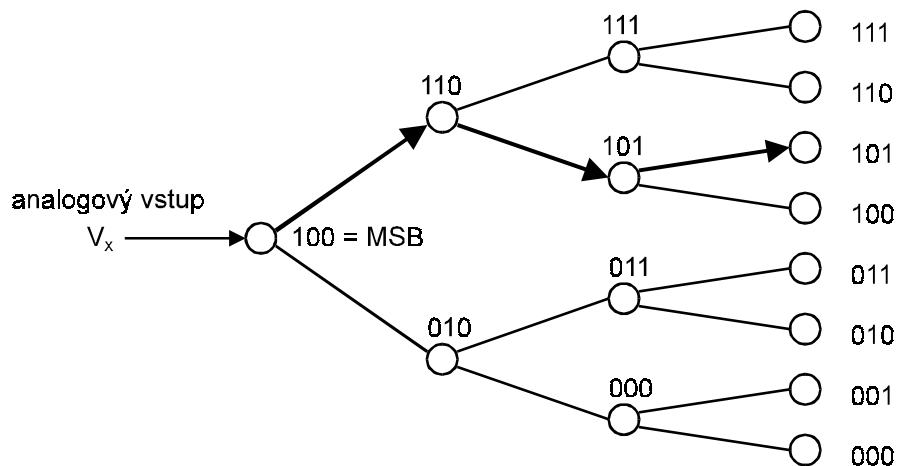
Aproximační převodníky též nazývané kompenzačními převodníky nebo též převodníky s postupnou aproximací / successive approximations / jsou vlastně zpětnovazební systémy, které pracují na principu pokus - chyba a výsledkem je digitální kód, který aproximuje úroveň analogového signálu na vstupu. Princip bude jasnější podle blokového schématu na Obr. 6.2-12



Obr. 6.2-12

Budeme-li sledovat Obr. 6.2-12, můžeme vysledovat následující funkci. Na začátku je registr postupných aproximací vynulován. V prvním kroku je do registru zapsána 1 jako nejvyšší bit a ostatní bity jsou ponechány nulové. Jestliže nyní výstup D/A konvertoru, který odpovídá tedy stavu 1 0 0 0 0 bude menší nebo roven V_X , tak výstupní stav komparátoru se nezmění a tato jednička zůstane jako MSB. Pokud ovšem budou poměry takové, že $V_O > V_X$, tak se MSB vrátí na hodnotu 0.

V následujícím cyklu zkusíme 1 jako druhý v pořadí nejvyšší bit. A situace se opět opakuje za stejných podmínek. Tímto způsobem je aproximační proces opakován do té doby, dokud nejsou určeny všechny bity. Obr. 6.2-13 ukazuje, jak tyto aproximace probíhají v 3 - bitovém aproximačním A/D převodníku.

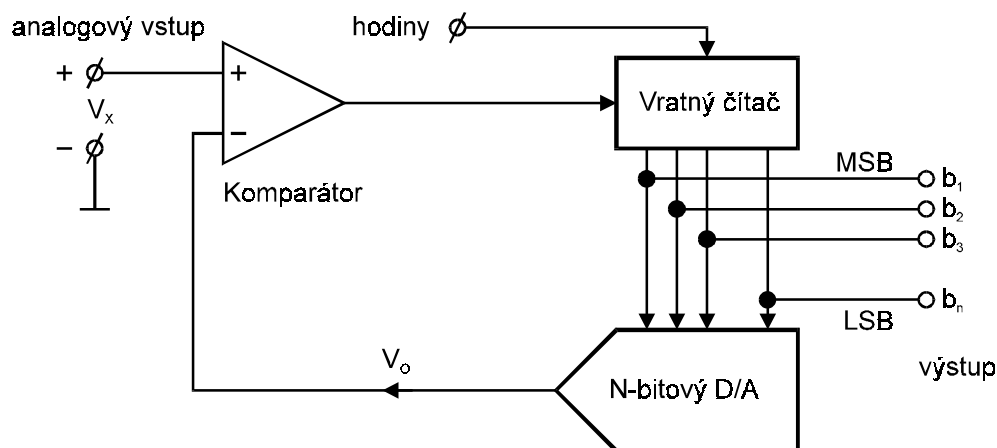


Obr. 6.2-13

Obr. 6.2-13 dostatečně názorně ukazuje činnost tohoto typu převodníku. Zbývá nám dodat toto. Převodník je řízen hodinovými impulsy a pro určení N bitů musíme udělat N aproximací čili celková doba převodu bude trvat N hodinových impulsů. Je vidět, že proti integračním převodníkům budou tyto převodníky podstatně rychlejší. / U integračního převodníku bylo nutné 2^N kroků ; u aproximačních N kroků - pro $N = 10 \dots 1024 \times 10$ kroků respektive $1024 \mu s \times 10 \mu s$./ V současné době se vyrábí řada aproximačních převodníků ve formě monolitických integrovaných obvodů.

6.2.4 Sledovací převodník A/D

Obr. 6.2-14 uvádí blokové zapojení tzv. sledovacího převodníku.



Obr. 6.2-14

Na aproximačním převodníku je nejsložitější součástí registr postupných aproximací. V řadě aplikací vystačíme s jednoduchým obvodem, který navíc pracuje spojitě tzn. že neustále sleduje vstupní napětí. Z Obr. 6.2-14 je zřejmé, že v závislosti na stavu komparátoru čítá čítač impulsy vpřed nebo vzad a výstup komparátoru závisí na tom, zda měřené napětí je větší nebo menší než napětí U_0 na výstupu D/A převodníku. Je-li U_X větší než U_0 , čítá čítač dopředu a napětí U_0 se po skocích zvyšuje až nastane stav, kdy $U_0 = U_X$. V obráceném případě / $U_X < U_0$ / čítá čítač zpět až zase $U_0 = U_X$. Proto tedy převodník neustále vlastně sleduje průběh vstupního analogového napětí U_X - proto se mu říká sledovací převodník.

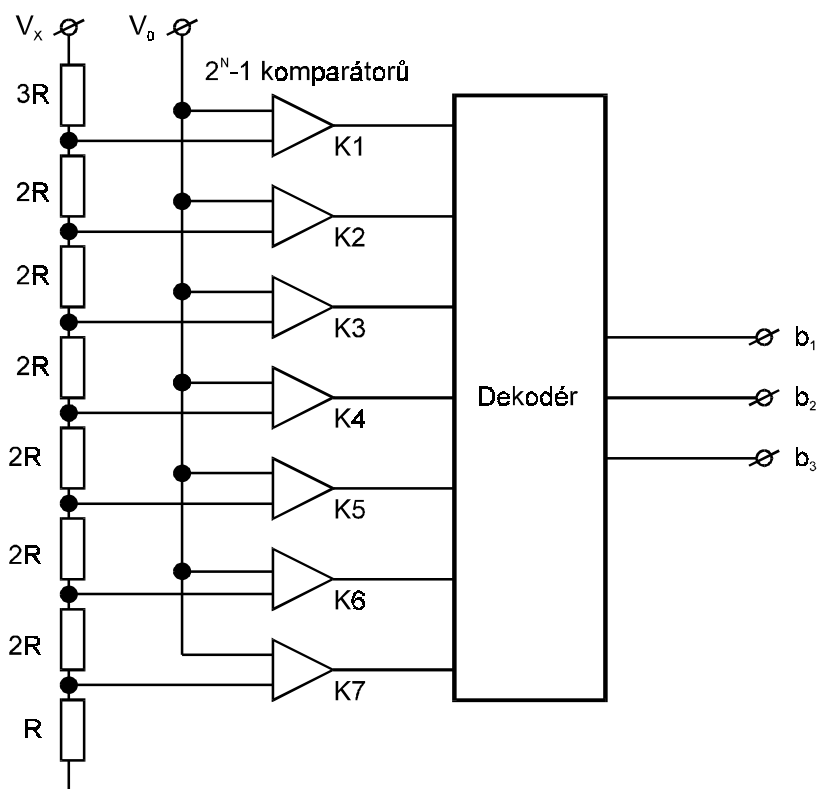
Ze způsobu činnosti je jasné, že při malých změnách U_X stačí převodník sledovat s malým zpožděním, ale při velkých a rychlých změnách U_X bude muset načítat velký počet hodinových impulsů a zpoždění bude velké. / Kdyby šlo o „skokovou“ změnu v celém rozsahu, pak při hodinovém kmitočtu 1MHz a rozlišení 12 bitů by čítač musel načítat $2^{12} = 4096$ impulsů a doba převodu by byla větší než 4 ms - aproximační převodník by to zvládnul za 12 μ s. /

Ještě jednodušší než sledovací převodník je tzv. čítací převodník, který se od předchozího liší pouze v tom, že užívá jednosměrný binární čítač. Čítač se lineárně zaplňuje načítáváním impulsů z hodinového generátoru. Jakmile napětí V_O dosáhne V_X , vstup čítače je logikou zablokovan a údaj na výstupu čítače udává velikost U_X . Po sejmutí tohoto údaje nebo jeho zapsání do registru je čítač vynulován a celý pochod se opakuje.

Doba převodu je ale poměrně dlouhá, protože např. při kmitočtu hodin 1 MHz a rozlišení 12 bitů bude maximální doba převodu 4096 μ s / přibližně 4 ms / a přitom považujeme komparátor za ideální.

6.2.5 Paralelní převodníky A/D

Integrační převodník potřeboval minimálně 2^N hodinových impulsů, aproximační převodník N impulsů, sledovací a čítací převodník v nejhorsím případě 2^N hodinových impulsů. Pokud tyto doby jsou dlouhé pro daný účel, je snaha udělat převod v jednom taktu hodin. Zapojení může vypadat podle Obr. 6.2-15 pro tříbitový převodník A/D.



Obr. 6.2-15

Už z tohoto jednoduchého příkladu vyplývá, že složitost paralelního převodníku rychle narůstá s rozlišením. Pro rozlišení N - bitů potřebujeme $2^N - 1$ komparátorů a 2^N přesných rezistorů. Třeba pro 8 - bitový paralelní převodník potřebujeme 255 komparátorů a 256 rezistorů. Tyto konvertory nehledě na jejich složitost existují a jsou schopny pracovat s rychlostí několika desítek megavzorků za sekundu.

